

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-036023
(43)Date of publication of application : 07.02.1989

(51)Int.CI.

H01L 21/302
C23F 4/00

(21)Application number : 62-191636
(22)Date of filing : 31.07.1987

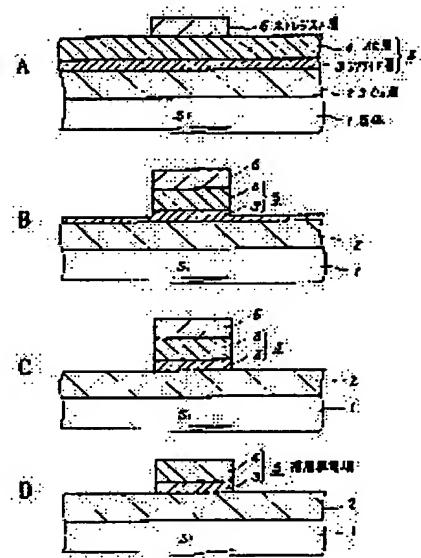
(71)Applicant : SONY CORP
(72)Inventor : SATO JUNICHI

(54) DRY ETCHING

(57)Abstract:

PURPOSE: To execute an etching operation without leaving a remaining substance and under a condition of a high selection ratio with reference to a substratum layer by a method wherein the etching operation by using a chlorine gas and the etching operation by using a fluorine gas are combined.

CONSTITUTION: When a dry etching operation is executed to a laminated conductive film 5 composed of a refractory metal silicon compound layer 3 formed on a substrate 1 and an aluminum layer 4 formed on this refractory metal silicon compound layer 3, a whole part of the aluminum layer 4 and one part of the refractory metal silicon compound layer 3 are etched selectively by using a chlorine (Cl) gas; a remaining part of the refractory metal silicon compound layer 3 is etched by using a fluorine (F) gas. A refractory metal silicon compound refers to, e.g., MoSi₂, WSi₁₂, TaSi₂ or the like. As the chlorine gas, e.g., a gas mainly composed of BC_l3 is used; as the fluorine-based gas, e.g., a gas composed of SF₆ is used.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑪ 公開特許公報 (A) 昭64-36023

⑤Int.Cl.¹
 H 01 L 21/302
 C 23 F 4/00
 H 01 L 21/302

識別記号 庁内整理番号
 G-8223-5F
 6793-4K
 A-8223-5F 審査請求 未請求 発明の数 1 (全3頁)

⑥公開 昭和64年(1989)2月7日

⑦発明の名称 ドライエッティング方法

⑧特 願 昭62-191636
 ⑨出 願 昭62(1987)7月31日

⑩発明者 佐藤 淳一 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 ⑪出願人 ソニー株式会社 東京都品川区北品川6丁目7番35号
 ⑫代理人 弁理士 伊藤 貞 外1名

明細書

発明の名称 ドライエッティング方法

特許請求の範囲

基体上に形成した高融点金属シリコン化合物層と、該高融点金属シリコン化合物層上に形成したアルミニウム層より成る積層導電膜に対するドライエッティング方法において、

上記アルミニウム層の全部と上記高融点金属シリコン化合物層の一部を塩素系ガスで選択的にエッティングする工程と、

残りの上記高融点金属シリコン化合物層をフッ素系ガスでエッティングする工程を有するドライエッティング方法。

発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置を製造するためのドライエッティング方法に関する。

〔発明の概要〕

本発明は、シリサイド層とこの上に形成された

アルミニウム層より成る積層導電膜のドライエッティング方法において、塩素系ガスによるエッティングとフッ素系ガスによるエッティングを組み合わせることにより、残渣がなく、且つ下地層に対して選択性の高い条件でエッティングすることができるようとしたものである。

〔従来の技術〕

近年、半導体装置、例えばバイポーラトランジスタにおいては、AlC_xに対するペリア効果を持たせたり、ショットキー接合を得るために、基体の拡散層上に高融点金属シリコン化合物(シリサイド)層及びこの上に形成したアルミニウム層より成る積層導電膜の構造が用いられることが多くなってきている。

〔発明が解決しようとする問題点〕

上述したシリサイド層とこの上のアルミニウム層より成る積層導電膜に対するRIE(反応性イオニエッティング)などのドライエッティング工程にお

いて、シリサイド層をエッティングするガスとして、塩素系のガスを用いた場合、シリサイドを形成する高融点金属の塩化物の蒸気圧が低いため、蒸気圧の高いフッ化物を形成するフッ素系ガスが好適なガスとして用いられることが多い。しかし、この複層導電膜におけるシリサイド層とアルミニウム層との間には混合層が生じており、この混合層は、フッ素系のガスでは良好にエッティングされないため、エッティング後に残渣が残るという問題点があつた。

本発明は、上記問題点を解決することができるドライエッティング方法を提供するものである。

〔問題点を解決するための手段〕

本発明は、基体(1)上に形成した高融点金属シリコン化合物(シリサイド)層(3)と、この高融点金属シリコン化合物層(3)上に形成したアルミニウムAL層(4)より成る複層導電膜(5)に対するドライエッティング方法において、アルミニウム層(4)の全部と高融点金属シリコン化合物層(3)の一部を塩素CL系

〔実施例〕

図面を参照して本発明の実施例を説明する。

先ず、第1図Aに示すように、例えばSi_{1-x}Al_x基体(1)上にSiO₂層(2)介して全面に厚さ約1000Åの高融点金属シリコン化合物、即ちシリサイドの層(3)及び厚さ約6000ÅのアルミニウムAL層(4)より成る複層導電膜(5)を形成し、マーニングすべき部分の上にホトレジスト層(6)を形成する。

次に第1図Bに示すように、ホトレジスト層(6)をマスクにしてBCl₃を主成分とするガスを使用し、例えばRIEにより0.24 W/cm²、16Paの条件でエッティングを施してアルミニウム層(4)の全部を除去する。そして、引続きシリサイド層(3)を同じ条件でエッティングし、アルミニウムとシリサイドの混合層が除去されるまで、例えば70%以上(700Å位)エッティングする。このように、アルミニウムをエッティングする比較的高いパワー密度を用いて混合層に対してもエッティングを施すので、そのスペクタ効果により混合層を残渣が残ることなく完全に除去することができる。なお、シリサイド層(3)を

ガスを使用して選択的にエッティングする工程と、残りの高融点金属シリコン化合物層(3)をフッ素F系ガスでエッティングする工程を有することを特徴とする。

高融点金属シリコン化合物とは、具体的には例えばMoSi₂、WSi₂、TaSi₂、TiSi₂等である。

塩素系のガスとしては、例えばBCl₃を主成分とするガスを使用することができ、またフッ素系ガスとしては例えばSF₆より成るガスを使用することができる。

〔作用〕

塩素系ガスを使用してアルミニウム層(4)をエッティングし、同じ強い条件で混合層が除去できるまでエッティングするので、残渣が残ることはない。しかし、このままエッティングすると、下地のSiO₂との選択比が得られないで、ガスをフッ素系のガスに変えて緩やかな条件で残りのシリサイド層(3)のエッティングを行なう。

部分的にエッティングするための所要のエッティング時間は、予めシリサイド單層をエッティングする速度を測定しておくことにより求めることができる。

次に第1図Cに示すように、使用するガスをSF₆(15scm)に変え、RFパワー密度約0.08W/cm²、11Paの条件でシリサイド層(3)を最後までエッティングする。もし、塩素系のガスで最後までシリサイド層(3)のエッティングを行なうと、下地のSiO₂層(2)との良好な選択比が取れなくなるので、シリサイド層(3)の途中から、フッ素系のガスに変え、低パワー密度の条件で混合層のない残り約1/3のシリサイド層(3)をエッティング除去する。

最後に第1図Dに示すように、ホトレジスト層(6)を除去して所望のパターンの複層導電膜(5)を形成する。

〔発明の効果〕

本発明によれば、アルミニウムとシリサイドの混合層により生ずる残渣が残ることなく、複層導電膜を所望の形状にドライエッティングすることができる。

できる。しかも、積層導電膜の下に形成された SiO_2 に対して、充分高い選択比が得られる。

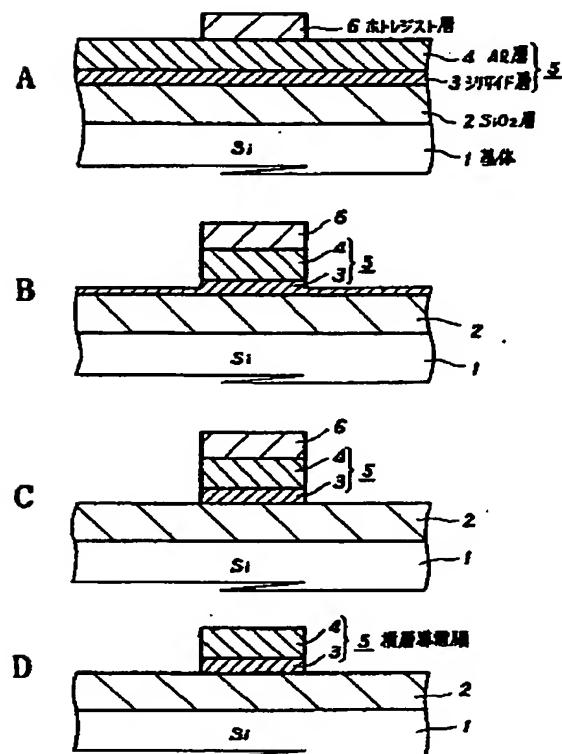
図面の簡単な説明

第1図は実施例の工程図である。

(1)は Si 基体、(2)は SiO_2 層、(3)はシリサイド層、
(4)はアルミニウム層、(5)は積層導電膜である。

代理人 伊藤貞

同 松原秀盛



実施例の工程図
第1図